

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 07 日
Application Date

申請案號：092107876
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 12 日
Issue Date

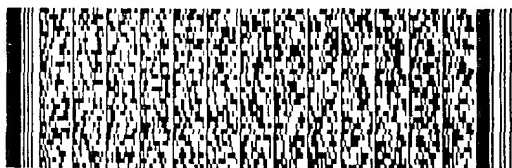
發文字號：09220471440
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成具有截角化邊角之淺溝槽隔離區的方法
	英文	METHOD OF FORMING SHALLOW TRENCH ISOLATION(STI) WITH CHAMFERED CORNER
二、 發明人 (共3人)	姓名 (中文)	1. 黃則堯 2. 陳逸男 3. 郝中蓬
	姓名 (英文)	1. Tse-Yao Huang 2. Yi-Nan Chen 3. Chung-Peng Hao
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北市南港區南港路二段142號13樓之1 2. 台北市北投區義理街63巷2弄22號1樓 3. 台北縣新莊市幸福路810號3樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：形成具有截角化邊角之淺溝槽隔離區的方法)

本發明提供一種形成具有截角化邊角之淺溝槽隔離區的方法，包括下列步驟：於一半導體基底上依序形成一絕緣層、一第一罩幕層及一第二罩幕層；將該墊絕緣層、該第一罩幕層及該第二罩幕層圖案化並形成一開口露出該半導體基底；以圖案化後的該墊絕緣層、該第一罩幕層及該第二罩幕層為蝕刻罩幕，蝕刻該半導體基底以形成一溝槽；去除該開口兩側一預定寬度之該第二罩幕層以露出部份該第一罩幕層，並造成該第二罩幕層具有傾斜側壁；以及去除部份之該第二罩幕層、該第一罩幕層、該墊絕緣層及該半導體基底，使該溝槽之邊角形成一傾斜壁面。

伍、(一)、本案代表圖為：第4H圖。

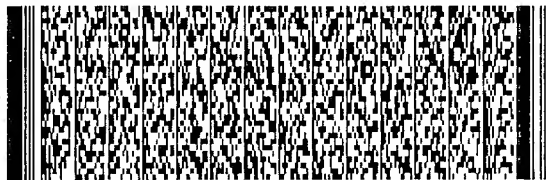
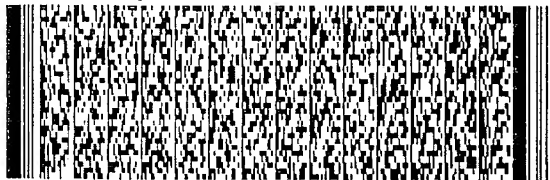
(二)、本案代表圖之元件代表符號簡單說明：

100~半導體基底；

102b~墊絕緣層；

六、英文發明摘要 (發明名稱：METHOD OF FORMING SHALLOW TRENCH ISOLATION(STI) WITH CHAMFERED CORNER)

A method of forming shallow trench isolation (STI) with chamfered corner. The method includes forming a pad insulating layer, a first mask layer and a second mask layer on a substrate, forming an opening of a patterned second mask layer, first mask layer and a pad insulating layer, etching the substrate using the patterned second mask layer, first mask layer and pad insulating layer as an



四、中文發明摘要 (發明名稱：形成具有截角化邊角之淺溝槽隔離區的方法)

104b~ 第一罩幕層；

105a~ 溝槽；

110~ 具有傾斜壁面之邊角；

116~ 襯層；

117~ 半導體基底表面；

118~ 介電層。

六、英文發明摘要 (發明名稱：METHOD OF FORMING SHALLOW TRENCH ISOLATION(STI) WITH CHAMFERED CORNER)

etch mask to form a trench in the substrate, and removing part of the second mask layer to result in the second mask layer having a tapered profile, and etching the second mask layer, the first mask layer, the pad insulating layer and the substrate to chamfer corners of the trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

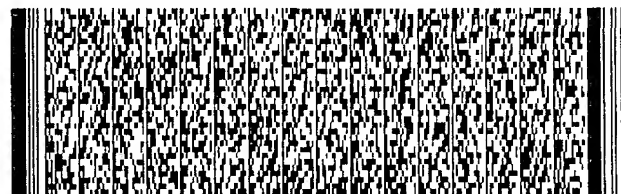
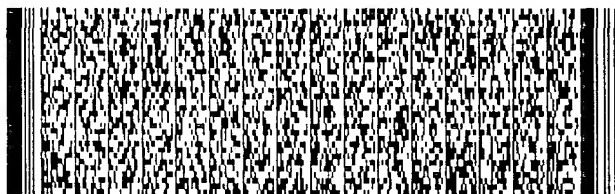
本發明係有關於一種淺溝槽隔離區 (shallow trench isolation) 的製造方法，特別是有關於一種形成具有截角化邊角 (corner) 之淺溝槽隔離區的製程。

【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已由次微米 (sub-micron) 進入了四分之一微米 (quarter-micron) 甚或更細微尺寸的範圍。而無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須做適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術 (device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法 (LOCOS) 和淺溝槽隔離區 (shallow trench isolation) 製程是最常被採用的兩種技術，尤其後者具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。

傳統上，係先利用化學氣相沈積 (CVD) 程序，形成一介電層以填入基底的溝槽中，之後再回蝕刻 (etch back) 或是以化學性機械研磨程序 (CMP) 去除表面多餘的介電



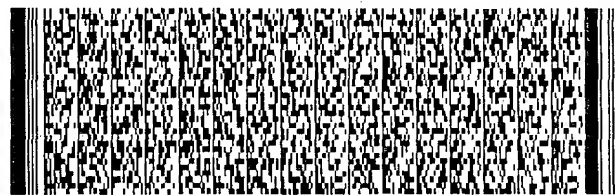
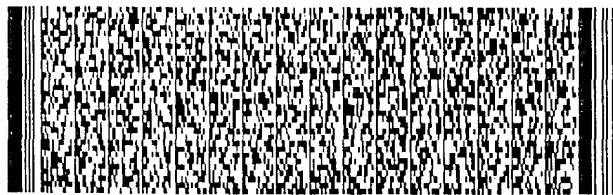
五、發明說明 (2)

層，以完成溝槽隔離區製程。但隨著積體電路密度不斷提高而元件尺寸日漸縮小的發展，上述沈積技術因步階覆蓋能力的問題，並不易將介電層完全填滿(fill)溝槽，導致元件的隔離效果受到影響。

為改善上述問題，一種高密度電漿化學氣相沈積(HDPCVD)技術被提出，其主要以氧(O_2)和矽甲烷(SiH_4)當作反應物來沈積介電層，達到改善介電層填入溝槽的效果。為了進一步清楚說明該技術的內容，以下即參照第1A至1C圖，說明其製造流程。

首先，請參閱第1A圖，在一半導體基底10上形成一遮蔽層，例如是在一矽晶圓表面上，以化學氣相沈積法(CVD)或熱氧化成長法形成一厚度介於50 Å和200 Å的墊氧化層(pad oxide layer)12，然後在墊氧化層12表面上，以CVD法沈積一厚度介於500 Å和2000 Å的氮化矽層14，二者共同構成遮蔽層。接著，塗佈一光阻層13於氮化矽層14上，並以微影(photolithography)程序定義出氮化矽層14和墊氧化層12的圖案。利用光阻層13當作罩幕，依序蝕刻氮化矽層14和墊氧化層12，用以露出半導體基底10欲形成元件隔離區的部分。

其次，請參見第1B圖，利用氮化矽層14和墊氧化層12的圖案當作罩幕，施行一蝕刻程序而在半導體基底10上形成溝槽15，用以定義元件的主動區(active region)，該溝槽15深度介於3500 Å和5000 Å之間。然後，以熱氧化程序(thermal oxidation)成長一薄氧化層16，覆蓋在溝



五、發明說明 (3)

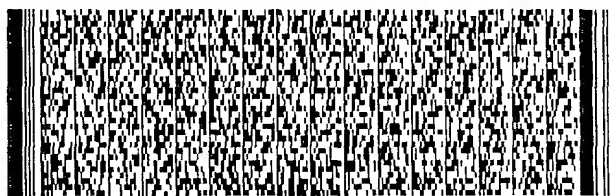
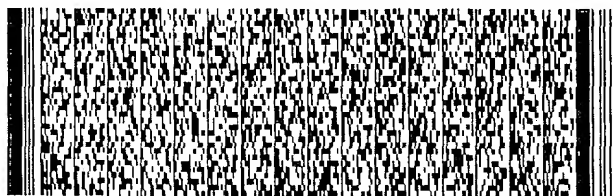
槽15的底部和側壁上，用以當作襯裡(liner)，其厚度約為180 Å。

接著，施行高密度電漿化學氣相沈積(HDPCVD)程序，例如使用 O_2 和 SiH_4 當作反應物，同時施以Ar電漿濺擊而沈積一氧化物介電層18，填滿溝槽15以形成一元件隔離區，得到如第1C圖所示之構造。

當線路寬度之需求到達 $0.11\ \mu m$ 以下時，往往所需之深寬比(aspect ratio)已達4左右，但是由於高密度電漿化學氣相沈積(HDPCVD)之溝填能力僅適合於深寬比小於4之溝槽，如第2圖所示，所以當溝槽之深寬比過大時，氧化物介電層18間隙充填(gap fill)已具有相當難度，易造成溝槽15頂部提早封口，但溝槽15內部產生空洞(void)20填充卻不完全，而影響淺溝槽隔離區的絕緣特性。

由於氧化物介電層18和墊氧化層12的性質相近，如第3圖所示，因此當以蝕刻液浸泡(dip)去除墊氧化層12以形成淺溝槽隔離區26時，不可避免地也會侵蝕到元件隔離區26，而使溝槽15邊角22暴露出來，並在溝槽15邊角22旁邊造成凹陷30。

因此，後續形成閘極氧化層和閘極導電層時，沈積於凹陷30處的導電層不易去除，而易造成相鄰之電晶體間的短路。此外，由於溝槽15邊角22的閘極氧化層較其他地方為薄，因而形成一寄生的電晶體，當電流通過此寄生電晶體時，由於溝槽15邊角22的曲率半徑小，會造成電場的集中，而導致穿隧電流(Fowler-Nordheim current)增加



五、發明說明 (4)

，使邊角22處之閘極氧化層的絕緣性質變差，因而造成不正常的元件性質，例如使 I_d 與 V_g 之 $I-V$ 曲線中產生雙峰(double hump)之扭曲現象(kink effect)。

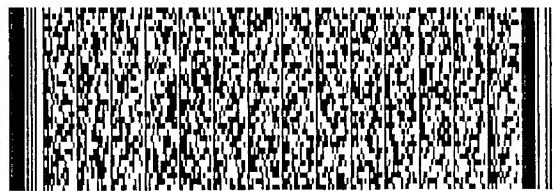
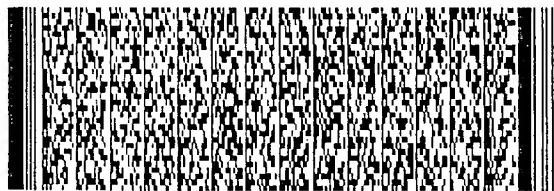
【發明內容】

有鑑於此，本發明之目的在於提供一種形成具有截角化邊角之淺溝槽隔離區的方法，藉由改良淺溝槽隔離區溝槽邊角形狀來改善介電層填入溝槽的能力，避免上述在溝槽內部產生填充不完全之情況再度發生，以提昇隔離元件的性質。

再者，本發明提供一種可以避免於溝槽邊角形成寄生電晶體之溝槽隔離區的製造方法。

此外，本發明提供一種可以避免相鄰的電晶體間發生短路之溝槽隔離區的製造方法。

為獲致上述之目的，本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法，至少包括下列步驟：於一半導體基底上依序形成一墊絕緣層、一第一單幕層及一第二單幕層；將該墊絕緣層、該第一單幕層及該第二單幕層圖案化並形成一開口以露出該半導體基底；以圖案化後的該墊絕緣層、該第一單幕層及該第二單幕層為蝕刻單幕，蝕刻該半導體基底，於該半導體基底中形成一溝槽；去除該開口兩側一第一預定寬度之該第二單幕層以露出部份該第一單幕層，並造成該第二單幕層具有傾斜側壁；以及蝕刻該第二單幕層，且沿該該第二單幕層之傾斜側壁蝕刻該第一



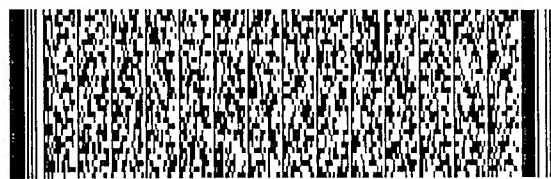
五、發明說明 (5)

罩幕層、該墊絕緣層及該半導體基底，使該溝槽之邊角形成一傾斜壁面。

根據本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中在將該溝槽之邊角形成一傾斜壁面後，可更包括下列步驟：去除該第二罩幕層；去除該開口兩側一第二預定寬度之該第一罩幕層及該墊絕緣層以露出部份該基底；形成一順應性之介電層，填入該溝槽中，且覆蓋該溝槽之已截角化的邊角及露出之該基底表面；以及平坦化該介電層，並去除該第一罩幕層和該墊絕緣層，以形成一淺溝槽隔離區。

根據本發明一較佳實施例，本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中在形成該介電層之前，更可包括於該溝槽內、該溝槽截角化的邊角及露出之該半導體基底表面形成一襯氧化層。

本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法亦可以另一方式表現，至少包括下列步驟：於一矽基底上依序形成一墊氧化層、一第一罩幕層及一第二罩幕層；將該墊氧化層、該第一罩幕層及該第二罩幕層圖案化並形成一開口以露出該矽基底；以圖案化後的該墊氧化層、該第一罩幕層及該第二罩幕層為蝕刻罩幕，蝕刻該矽基底，於該矽基底中形成一溝槽；溼蝕刻該第二罩幕層，去除該開口兩側一第一預定寬度之該第二罩幕層以露出部份該第一罩幕層，並造成該第二罩幕層具有傾斜側壁；蝕刻該第二罩幕層，且沿該第二罩幕層之傾斜側壁蝕刻該第



五、發明說明 (6)

一罩幕層、該墊絕緣層及該半導體基底，使該溝槽之邊角形成一傾斜壁面；去除該第二罩幕層；形成一襯氧化層於該溝槽內、該溝槽斜角化的邊角及露出之該矽基底表面；形成一介電層於該第一罩幕層與該開口內並溝填於該溝槽內之該襯氧化層上；使用化學機械研磨法將該絕緣層平坦化；以及去除該第一罩幕層和該墊氧化層，以形成一淺溝槽隔離區。

根據本發明一較佳實施例，本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中去除該第二罩幕層後，更包括蝕刻該第一罩幕層及該墊氧化層，去除該開口兩側一第二預定寬度之該第一罩幕層及該墊氧化層以露出部份該矽基底。

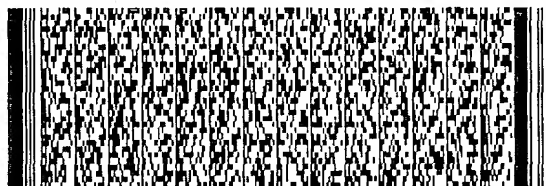
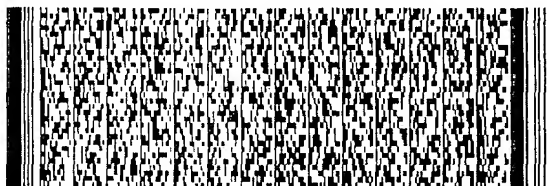
為使本發明之上述目的、特徵能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

茲配合附圖將本發明之較佳實施例詳細說明如下：

第4A圖至第4J圖係繪示根據本發明一較佳實施例之形成具有截角化邊角之淺溝槽隔離區的製造流程剖面圖。

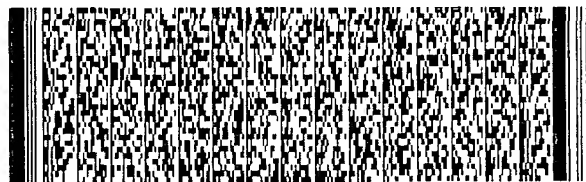
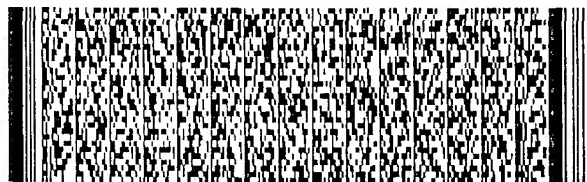
首先請參照第4A圖，提供一半導體基底，例如是矽基底100。在本發明的敘述中，"基底"一詞係包括半導體晶圓上已形成的元件與覆蓋在晶圓上的各種塗膜，其上方可以已形成任何所需的半導體元件，不過此處為了簡化圖



五、發明說明 (7)

式，僅以平整的基板表示之。在矽基底100表面依序形成墊絕緣層102、第一罩幕層104及第二罩幕層106。其中，墊絕緣層102例如是墊氧化層，厚度大約是50-300 Å，形成方法例如是在攝氏850-950度之溫度下進行熱氧化程序(thermal oxidation)或常壓化學氣相沉積(APCVD)或低壓化學氣相沉積(LPCVD)；第一罩幕層104例如是氮化矽層，厚度大約是1000-2000 Å，形成方法係在攝氏750-800度下以 SiCl_2H_2 及 NH_3 之混合氣體進行低壓化學氣相沉積，第一罩幕層104亦可例如是氮氧化矽層，厚度大約是1000-2000 Å，形成方法係以 SiH_4 、 N_2O 及 NH_3 之混合氣體進行化學氣相沉積步驟，而第二罩幕層106材質可為硼磷矽玻璃(BPSG)、砷矽玻璃(AsSG)、磷矽玻璃(PSG)或是硼矽玻璃(BSG)，例如為硼矽玻璃(BSG)，形成方法係以 SiH_4 、 BF_3 及 B_2H_6 之混合氣體進行化學氣相沉積步驟厚度大可為1000-4000 Å。

接著，在第二罩幕層106表面上塗佈一光阻層，並施行適當的微影製程定義出所需的光阻圖案，並利用圖案化之光阻層當作罩幕，對第二罩幕層106、第一罩幕層104及墊絕緣層102施行一非等向性蝕刻程序，例如是反應性離子蝕刻(RIE)程序，以將光阻層的圖案轉移至第二罩幕層106、第一罩幕層104及墊絕緣層102中，以形成位於第二罩幕層106、第一罩幕層104及墊絕緣層102中內之開口103，此開口103的範圍大致為元件隔離區的範圍。然後，再以適當溶液或乾式蝕刻程序去除光阻層。

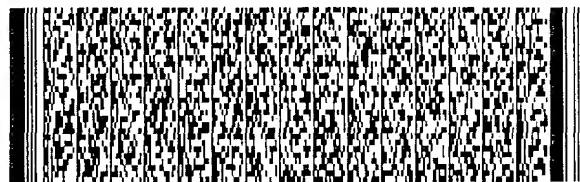
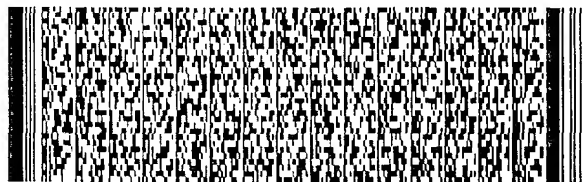


五、發明說明 (8)

接著請參照第4B圖，利用第二罩幕層106、第一罩幕層104及墊絕緣層102的圖案當作罩幕，對半導體基底100施行一非等向性蝕刻程序，例如是反應性離子蝕刻(RIE)程序，而在半導體基底100中形成一溝槽105，其深度120係介於1800 Å至2400 Å之間。

接著請參照第4C圖，對第二罩幕層106進行一溼蝕刻程序，蝕刻以移除鄰接開口103水平寬度約50~300埃之部分第二罩幕層106形成第二罩幕層106a，以露出部分之第一罩幕層表面107，並於鄰近開口103兩側之第二罩幕層106a形成傾斜側壁108。此溼蝕刻程序包括使用濕蝕刻化學品例如氫氧化銨與過氧化氫之水溶液(Ammonium Hydrogen Peroxide Mixture; APM)蝕刻由硼矽玻璃所組成之第二罩幕層106，此氫氧化銨與過氧化氫之水溶液之一佳較比例 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{DIW}$ 可為1:1:5，蝕刻可在大於或等於60 °C之溫度下進行。

接著請參照第4D圖，對第二罩幕層106a、第一罩幕層104、墊絕緣層102及半導體基板100施行一非等向性蝕刻程序，例如是反應性離子蝕刻(RIE)程序，移除部份之第二罩幕層106a、第一罩幕層104、墊絕緣層102及半導體基底100，使得到之溝槽105a之邊角形成一具有傾斜壁面之邊角110，且形成之溝槽105a具有一Y型的剖面結構。溝槽105a其深度120a較未進行等向性蝕刻程序前之深度120來的深，例如約為2700~3600 Å之間，溝槽105a之深寬比可例如為4~6之間。



五、發明說明 (9)

接著請參照第4E圖，以適當之蝕刻方法移除第二罩幕層106b，例如以BHF溶液在特定之溫度下來移除由硼矽玻璃所組成之第二罩幕層106b。在移除第二罩幕層106b後，請參照第4F圖，可以一溼蝕刻程序來蝕刻第一罩幕層104a及墊絕緣層102a，以移除鄰接開口水平寬度約50~300埃之第一罩幕層104a及墊絕緣層102a以形成第一罩幕層104b及墊絕緣層102b，並露出部分之半導體基底表面117。其中，上述之溼蝕刻製程可例如為使用蝕刻化學品HF/EG(氫氟酸/乙二醇)配方之溶液來蝕刻氮化矽所組成之第一罩幕層104a及氧化矽所組成之墊絕緣層102a。

接著請參照第4G圖，以攝氏800至1200度對半導體基底100施行一熱氧化程序，以在溝槽105a的底部和側壁上長一厚度大約是50至350 Å之襯層116，並且令溝槽105a具有傾斜壁面之邊角110及半導體基底表面117亦形成襯層116於其上。其中，襯層116例如是襯氧化層(liner oxide layer)。

接著請參照第4H圖，進行一高密度化學氣相沈積程序(HDPCVD)，以高密度化學氣相沈積法，例如使用氧氣(O_2)和矽甲烷(SiH_4)當作反應物，同時施以Ar電漿濺擊，於襯層116表面沈積介電層118，例如二氧化矽層，其厚度為介於4000 Å~5000 Å。此處，若製程上符合，亦可使用低壓化學氣相沉積法(LPCVD)進行介電層118之沈積程序。

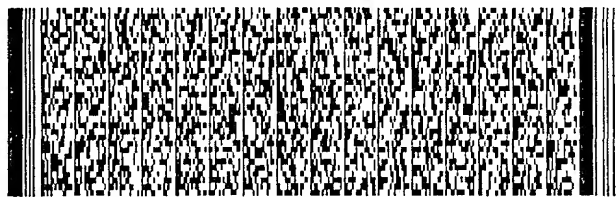
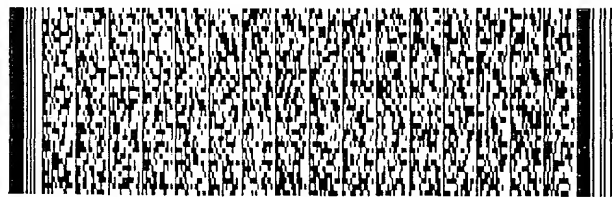
最後請參見第4I圖，施行一化學性機械研磨程序，磨除介電層118高出第一罩幕層104b及墊絕緣層102b表面的



五、發明說明 (10)

部分，留下填在溝槽105a中之介電層118a的部分。之後，可以適當溶劑或蝕刻程序，依序去除第一單幕層104b和墊絕緣層102b而露出元件區，便完成淺溝槽隔離製程，得到如4J圖所示之元件隔離區150。由於元件隔離區之介電層118a和墊絕緣層102b的性質相近，因此當以蝕刻液浸泡(dip)去除墊絕緣層102b時，不可避免地也會侵蝕到元件隔離區之介電層118a，所以通常會得到如介電層118b之元件隔離區。其中，去除例如由氧化矽構成之第一單幕層104b的方法係利用熱磷酸(H_3PO_4)來去除；去除由氧化矽構成之墊絕緣層102b的方法例如是利用氫氟酸(HF)來去除。

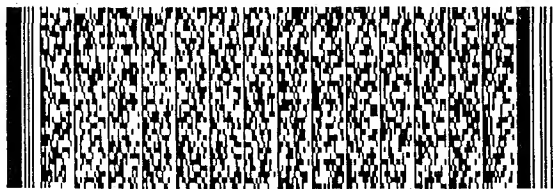
綜上所述，本發明與習知技術相比較，本發明所述之形成具有截角化邊角之淺溝槽隔離區的方法具有數項優點。首先，本發明將淺溝槽之邊角截角化，改善介電層填入溝槽的能力，此作法避免了具高深寬比之淺溝槽隔離區製程上可能發生的空洞(void)缺陷，以提昇隔離元件的性質。值得注意的是，本發明所述之方法更可提供於深寬比大於6以上之溝槽利用HDPCVD方式來填充介電層。其次，利用本發明所提供之方法製造淺溝槽隔離區的凹槽，因為溝槽之截角化邊角及半導體基板表面其上所形成之襯層與其他部分(溝槽之側壁及底部)所形成之襯層之厚度相同，所以不會有習知之因為溝槽邊角呈直角狀而使頂角之閘極氧化層厚度太薄的問題，因此也不會有電場集中而導致漏電流增加及臨界電壓升高等問題。而且由於本發明所形成的



五、發明說明 (11)

溝槽之邊角已做截角化處理，因此後續於此區域所形成的導電材質沒有空間障礙，而較易剝除，因而可避免相鄰之電晶體間的短路，故本發明之淺溝槽隔離區具有良好的電性隔離效果。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1C圖均為剖面圖，繪示以習知高密度電漿化學氣相沈積技術形成淺溝槽隔離區的製造流程。

第2圖係繪示習知HDPCVD應用於高深寬比溝槽，溝填不完全之示意圖。

第3圖係繪示習知HDPCVD應用於高深寬比溝槽，溝填不完全之示意圖。

第4A圖至第4J圖係繪示根據本發明一較佳實施例之形成具有截角化邊角之淺溝槽隔離區製造流程剖面圖。

【符號說明】

10~半導體基底；

12~墊氧化層；

13~光阻層；

14~氮化矽層；

15~溝槽；

16~薄氧化層；

18~氧化物介電層；

20~空洞；

22~邊角；

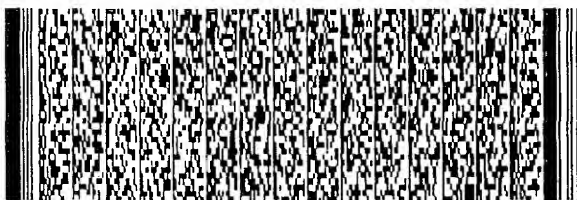
26~淺溝槽隔離區；

30~凹陷；

100~半導體基底；

102、102a、102b~墊絕緣層；

103~開口；



圖式簡單說明

- 104、104a、104b~第一罩幕層；
- 105、105a~溝槽；
- 106、106a、106b~第二罩幕層；
- 107~第一罩幕層表面；
- 108~第二罩幕層之傾斜側壁；
- 110~具有傾斜壁面之邊角；
- 116~襯層；
- 117~半導體基底表面；
- 118、118a、118b~介電層；
- 120、120a~溝槽深度；
- 122~平坦化表面；以及
- 150~淺溝槽隔離區。



六、申請專利範圍

1. 一種形成具有截角化邊角之淺溝槽隔離區的方法，至少包括：

於一半導體基底上依序形成一墊絕緣層、一第一罩幕層及一第二罩幕層；

將該墊絕緣層、該第一罩幕層及該第二罩幕層圖案化並形成一開口以露出該半導體基底；

以圖案化後的該墊絕緣層、該第一罩幕層及該第二罩幕層為蝕刻罩幕，蝕刻該半導體基底，於該半導體基底中形成一溝槽；

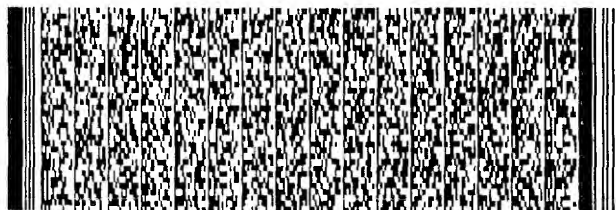
去除該開口兩側一第一預定寬度之該第二罩幕層以露出部份該第一罩幕層，並造成該第二罩幕層具有傾斜側壁；以及

蝕刻該第二罩幕層，且沿該第二罩幕層之傾斜側壁蝕刻該第一罩幕層、該墊絕緣層及該半導體基底，使該溝槽之邊角形成一傾斜壁面。

2. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該墊絕緣層為氧化矽(SiO_x)。

3. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第一罩幕層材質為氮化矽(SiN_x)。

4. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第二罩幕層材質係擇自由硼磷矽玻璃(BPSG)、砷矽玻璃(AsSG)、磷矽玻璃(PSG)及



六、申請專利範圍

硼矽玻璃(BSG)所組成之族群中。

5. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第二單幕層之厚度係為1000~4000埃。

6. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中係利用溼蝕刻方式去除該開口兩側一第一預定寬度之該第二單幕層。

7. 如申請專利範圍第6項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中溼蝕刻該第二單幕層所使用之蝕刻化學品係為APM($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$)配方之溶液。

8. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中去除該開口兩側一預定寬度之該第二單幕層，該第一預定寬度介於50~300埃。

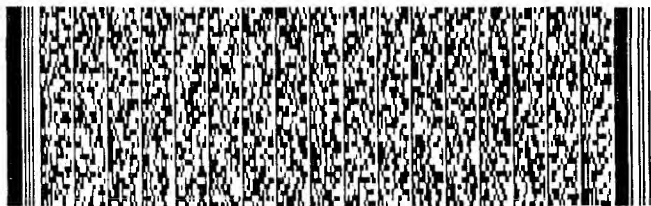
9. 如申請專利範圍第1項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中係利用一乾蝕刻方式去除部份之該第二單幕層、該第一單幕層、該墊絕緣層及該半導體基底，俾使該溝槽之邊角形成一傾斜壁面。

10. 如申請專利範圍第1項所述形成具有截角化邊角之淺溝槽隔離區的方法，其中在將該溝槽之邊角形成一傾斜壁面後，更包括：

去除該第二單幕層；

去除該開口兩側一第二預定寬度之該第一單幕層及該墊絕緣層以露出部份該基底；

形成一順應性之介電層，填入該溝槽中，且覆蓋該溝



六、申請專利範圍

槽之已截角化的邊角及露出之該基底表面；以及

平坦化該介電層，並去除該第一單幕層和該墊絕緣層，以形成一淺溝槽隔離區。

11. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中所形成之淺溝槽隔離區係具有一Y型剖面之溝槽。

12. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，去除該開口兩側一第二預定寬度之該第一單幕層及該墊絕緣層，該預定寬度係介於50~500埃。

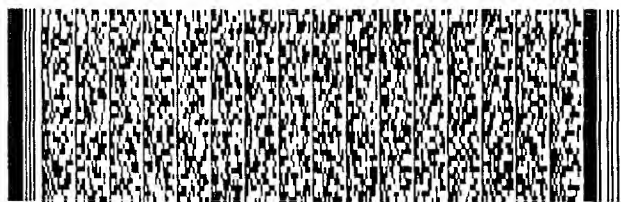
13. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中係利用溼蝕刻方式去除該開口兩側一第二預定寬度之該第一單幕層及該墊絕緣層。

14. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中溼蝕刻該第一單幕層及該墊氧化層所使用之蝕刻化學品係為HF/EG(氫氟酸/乙二醇)配方之溶液。

15. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該介電層為含氧之矽化物。

16. 如申請專利範圍第15項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該介電層為氮氧化矽(oxynitride)。

17. 如申請專利範圍第15項所述之形成具有截角化邊



六、申請專利範圍

角之淺溝槽隔離區的方法，其中該介電層為氧化矽(SiO_x)。

18. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該順應性之介電層之方法係為低壓化學氣相沉積法(LPCVD)。

19. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該順應性之介電層之方法係為高密度電漿化學氣相沉積法(HDPCVD)。

20. 如申請專利範圍第10項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該介電層之前，更包括於該溝槽內、該溝槽截角化的邊角及露出之該半導體基底表面形成一襯層。

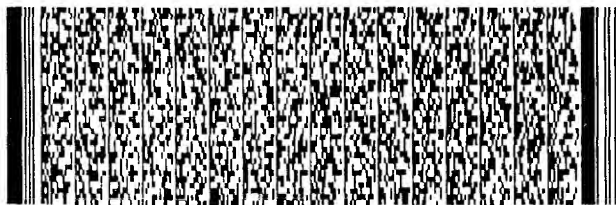
21. 如申請專利範圍第20項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該襯層的方法係為熱氧化法。

22. 一種形成具有截角化邊角之淺溝槽隔離區的方法，至少包括：

於一矽基底上依序形成一墊氧化層、一第一單幕層及一第二單幕層；

將該墊氧化層、該第一單幕層及該第二單幕層圖案化並形成一開口以露出該矽基底；

以圖案化後的該墊氧化層、該第一單幕層及該第二單幕層為蝕刻單幕，蝕刻該矽基底，於該矽基底中形成一溝槽；



六、申請專利範圍

溼蝕刻該第二罩幕層，去除該開口兩側一第一預定寬度之該第二罩幕層以露出部份該第一罩幕層，並造成該第二罩幕層具有傾斜側壁；

蝕刻該第二罩幕層，且沿該第二罩幕層之傾斜側壁蝕刻該第一罩幕層、該墊絕緣層及該半導體基底，使該溝槽之邊角形成一傾斜壁面；

去除該第二罩幕層；

形成一襯氧化層於該溝槽內、該溝槽截角化的邊角及露出之該矽基底表面；

形成一介電層於該第一罩幕層與該開口內並溝填於該溝槽內之該襯氧化層上；

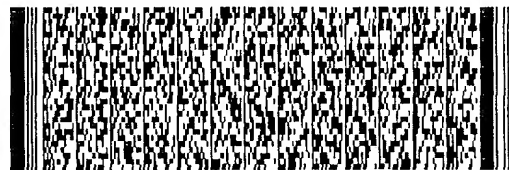
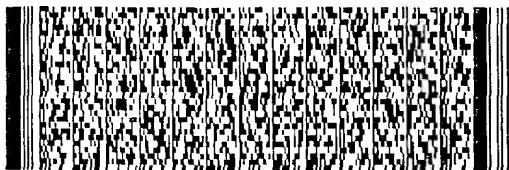
使用化學機械研磨法將該絕緣層平坦化；以及

去除該第一罩幕層和該墊氧化層，以形成一淺溝槽隔離區。

23. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第一罩幕層材質為氮化矽(SiN_x)。

24. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第二罩幕層材質係擇自由硼磷矽玻璃(BPSG)、砷矽玻璃(AsSG)、磷矽玻璃(PSG)及硼矽玻璃(BSG)所組成之族群中。

25. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第二罩幕層之厚度係為1000~4000埃。



六、申請專利範圍

26. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中溼蝕刻該第二罩幕層所使用之蝕刻化學品係為 $\text{APM}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2)$ 配方之溶液。

27. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第一預定寬度係介於50~300埃。

28. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中所形成之淺溝槽隔離區係具有一Y型剖面之溝槽。

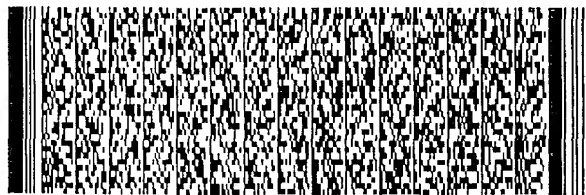
29. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該介電層為含氧之矽化物。

30. 如申請專利範圍第29項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該介電層為氮氧化矽(oxynitride)。

31. 如申請專利範圍第29項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該介電層為氧化矽(SiO_x)。

32. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該順應性之介電層之方法係為低壓化學氣相沉積法(LPCVD)。

33. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該順應性之介電層之方法係為高密度電漿化學氣相沉積法(HDPCVD)。



六、申請專利範圍

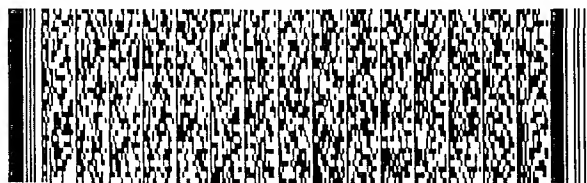
34. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中形成該襯氧化層的方法為熱氧化法。

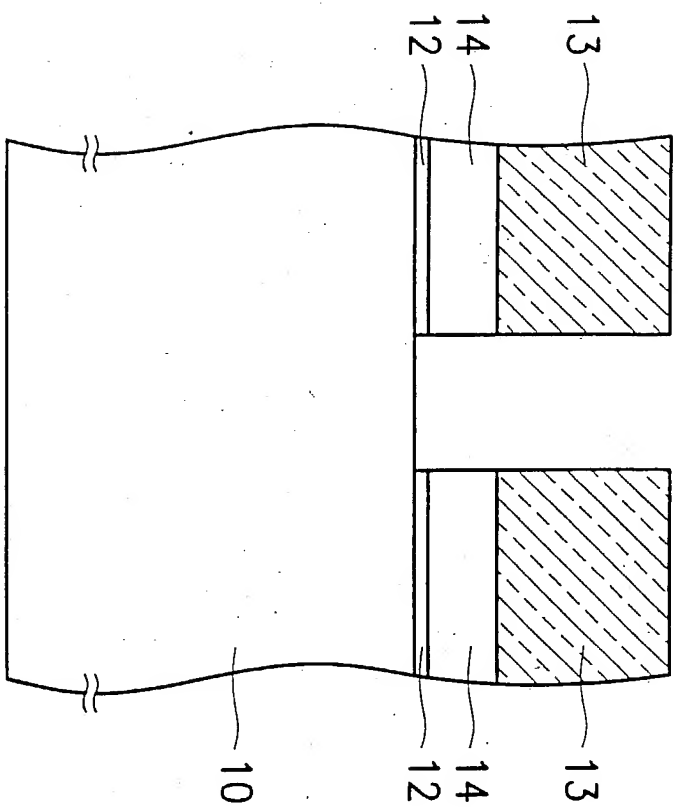
35. 如申請專利範圍第22項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中去除該第二單幕層後，更包括蝕刻該第一單幕層及該墊氧化層，去除該開口兩側一第二預定寬度之該第一單幕層及該墊氧化層以露出部份該矽基底。

36. 如申請專利範圍第35項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中該第二預定寬度係介於50~500埃。

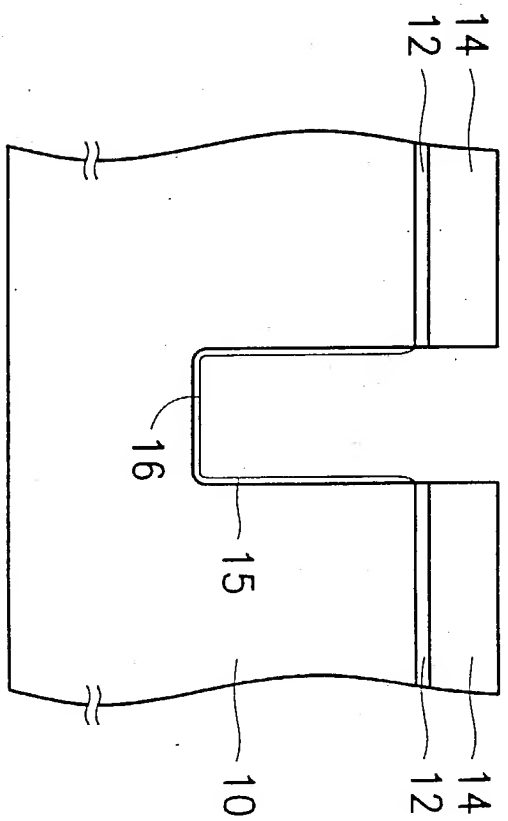
37. 如申請專利範圍第35項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中係利用溼蝕刻方式去除該開口兩側一第二預定寬度之該第一單幕層及該墊氧化層。

38. 如申請專利範圍第35項所述之形成具有截角化邊角之淺溝槽隔離區的方法，其中溼蝕刻該第一單幕層及該墊氧化層所使用之蝕刻化學品係為HF/EG(氫氟酸/乙二醇)配方之溶液。

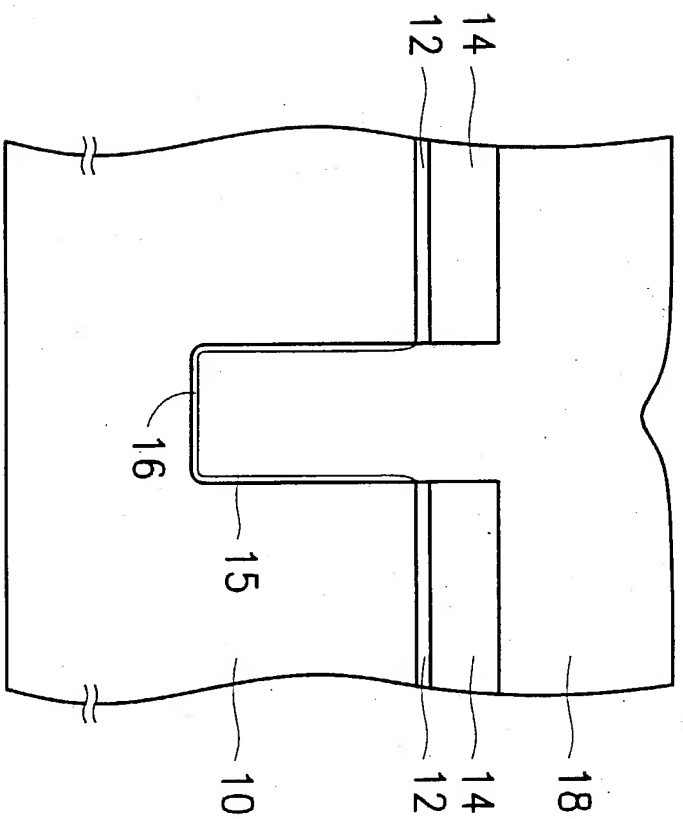




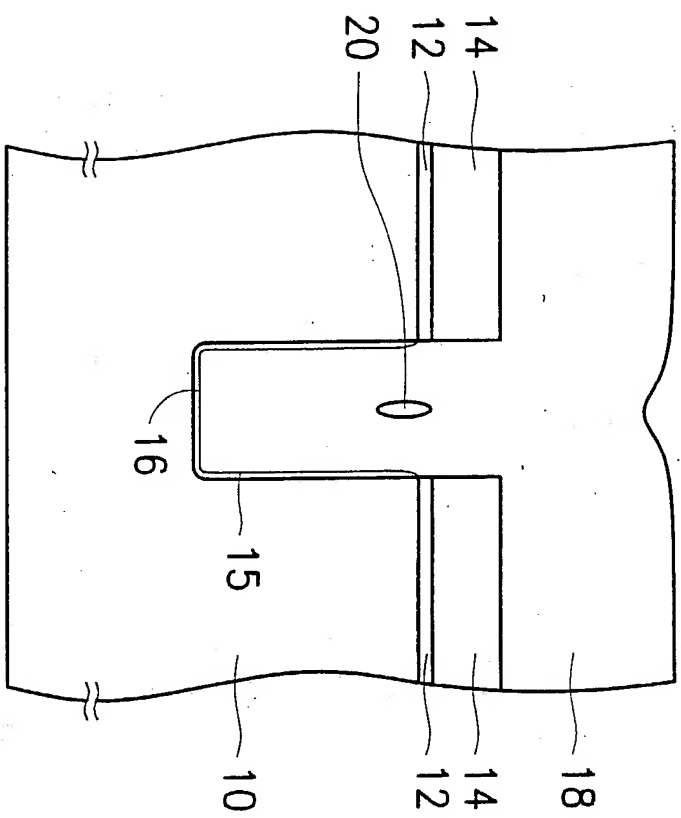
第1A圖



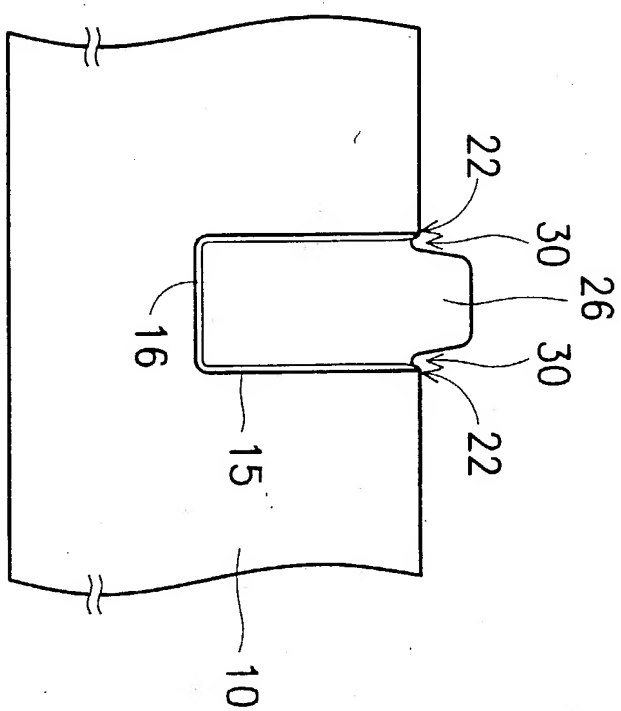
第1B圖



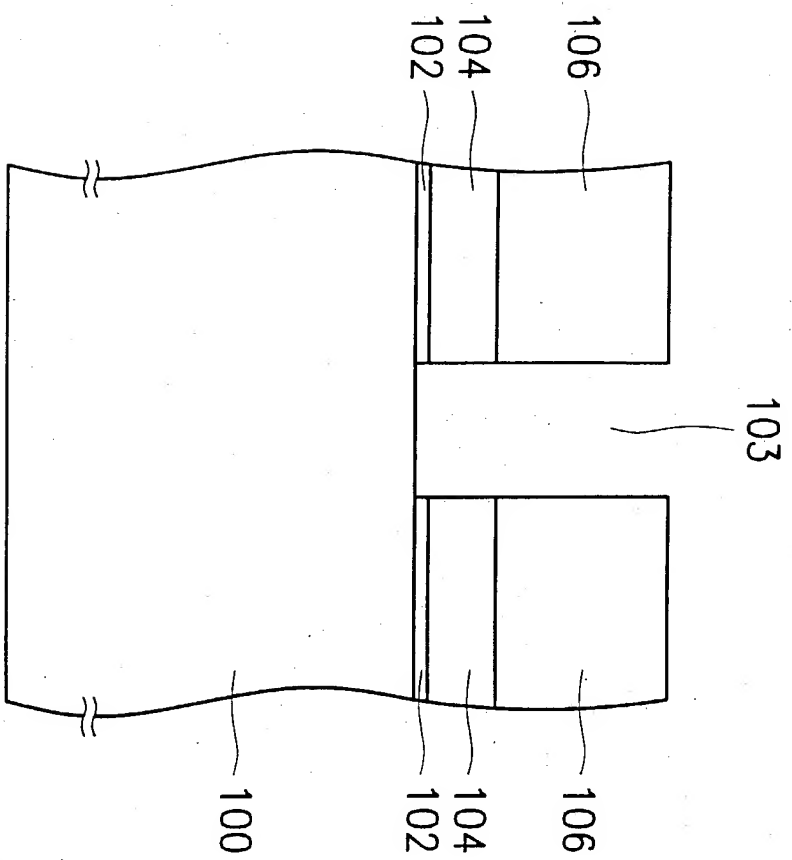
第1C圖



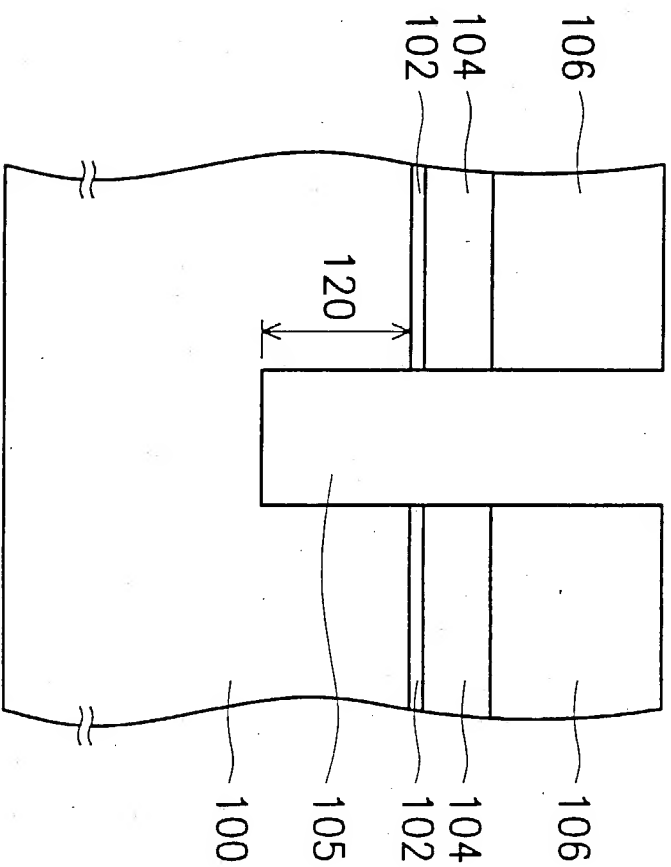
第 2 圖



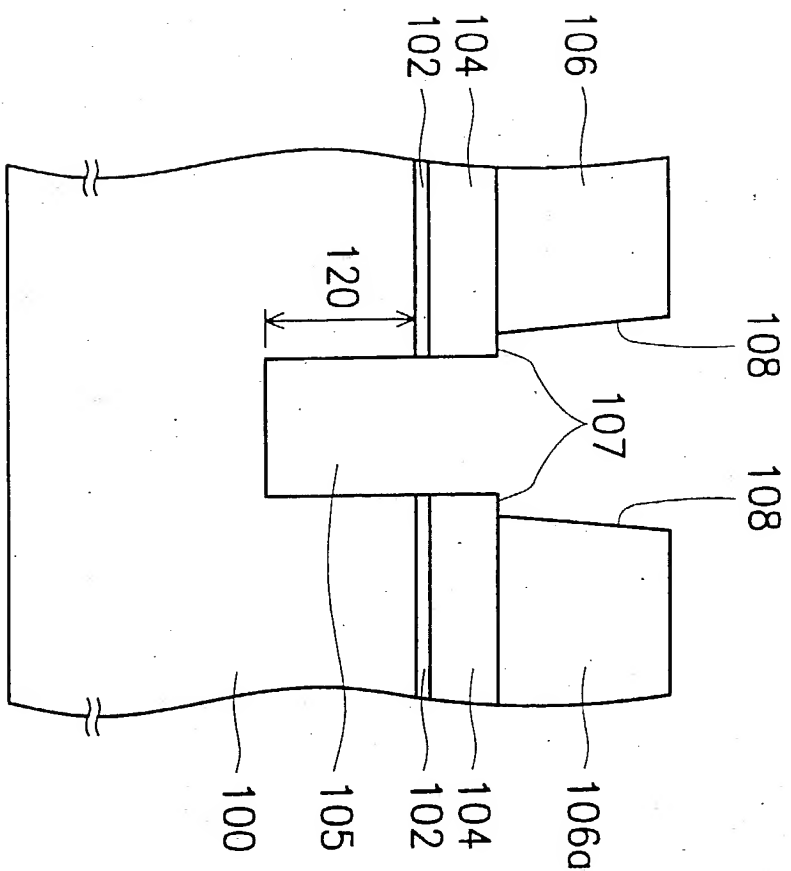
第 3 圖



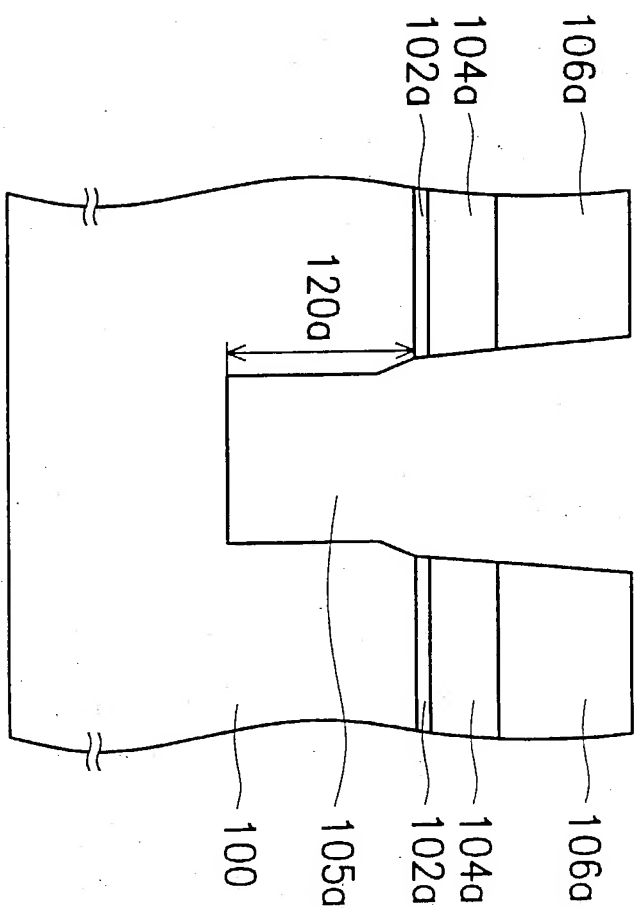
第4A圖



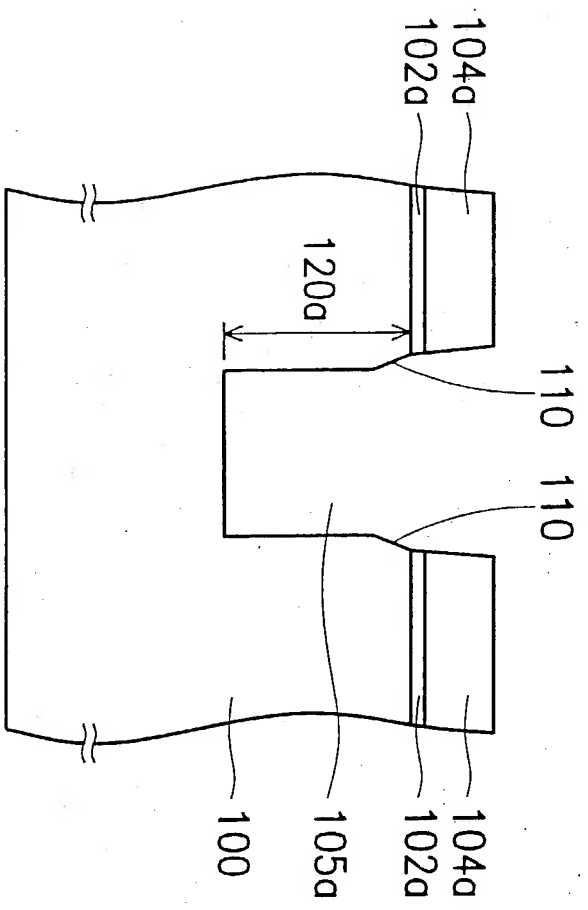
第4B圖



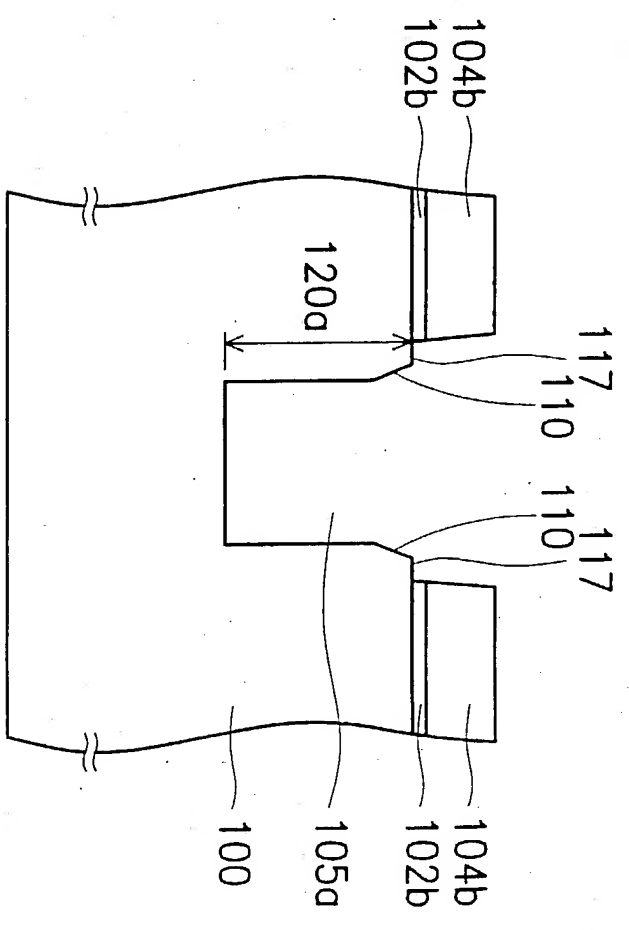
第4C圖



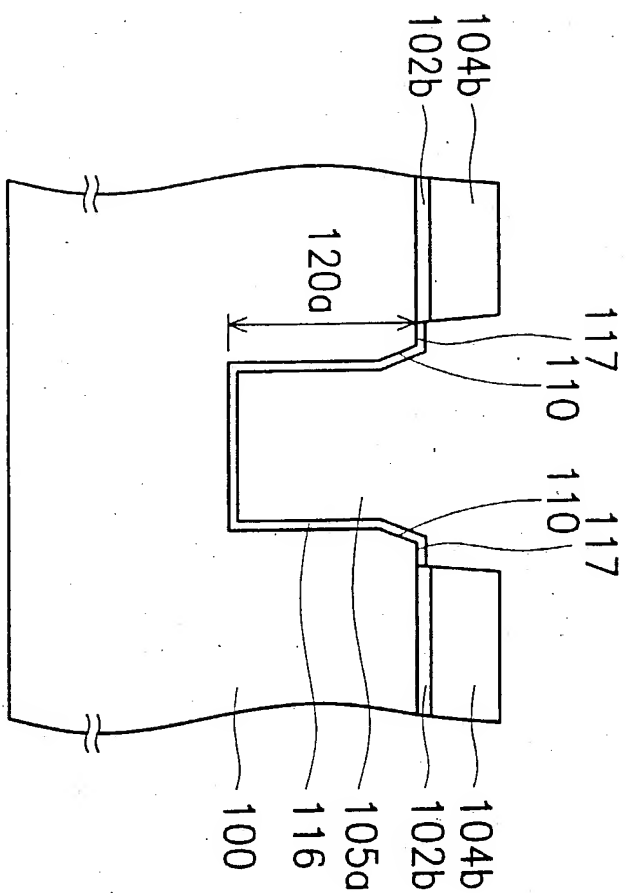
第4D圖



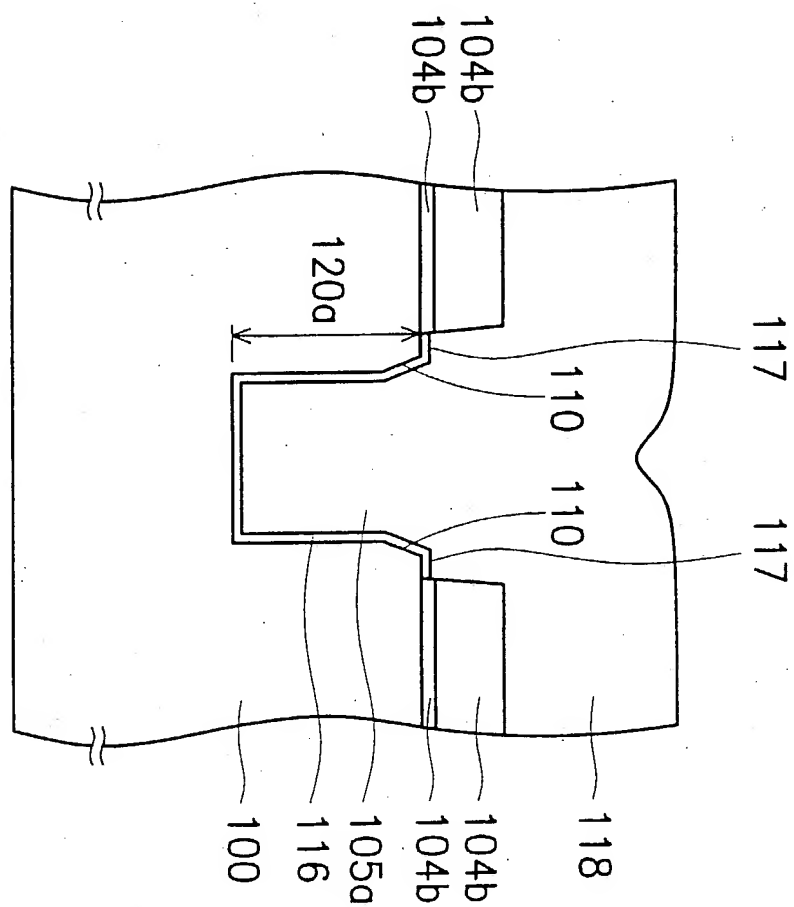
第4E圖



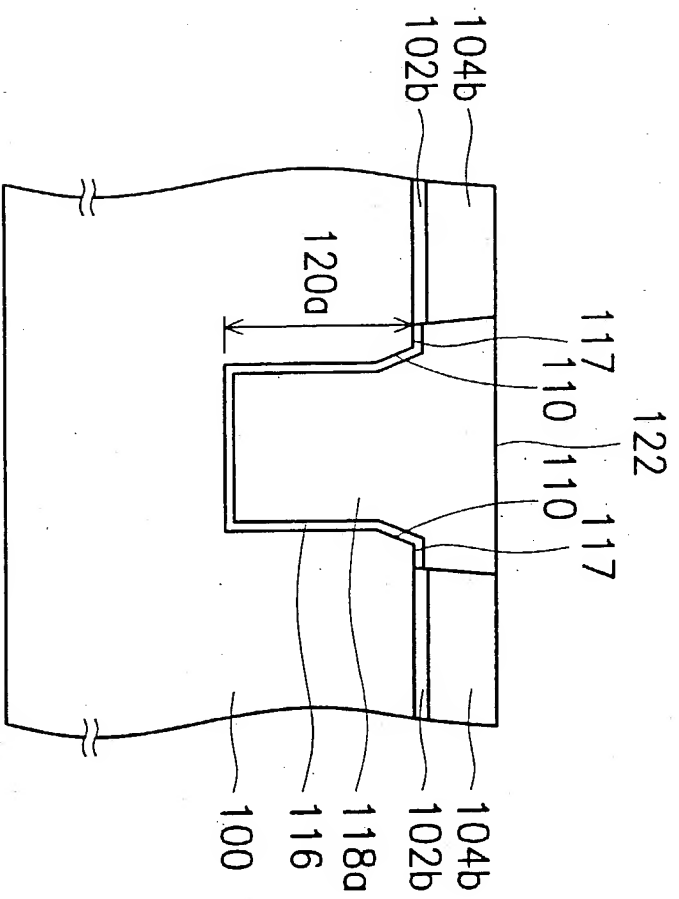
第4F圖



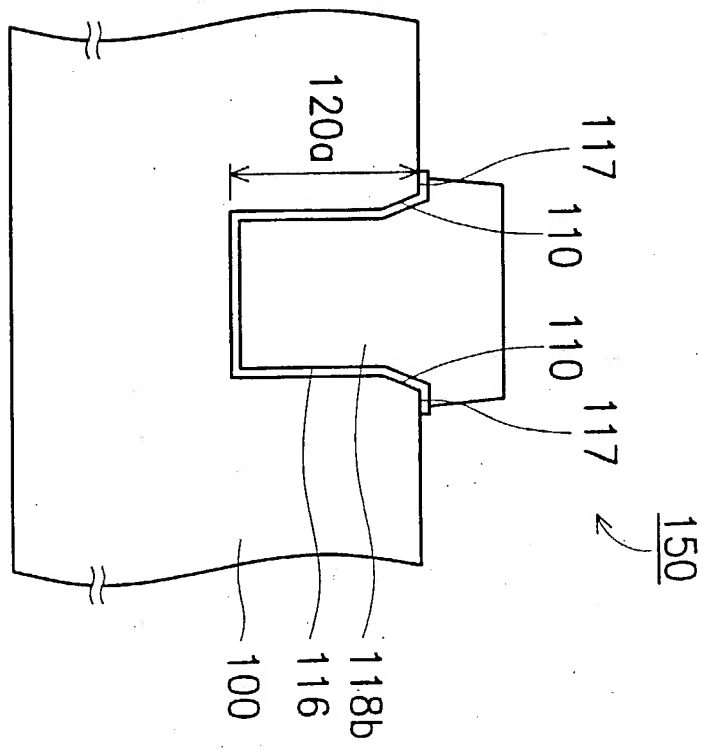
第4G圖



第4H圖

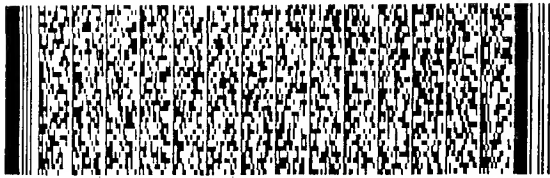


第4I圖

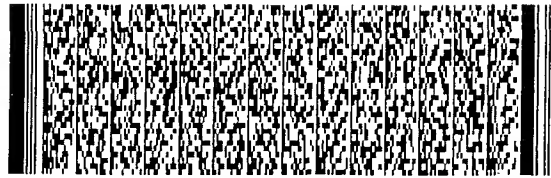


第4J圖

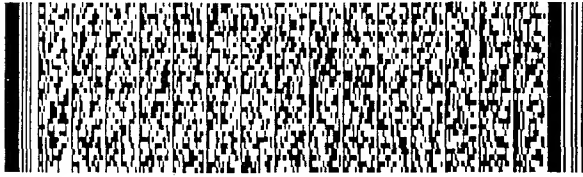
第 10/24 頁



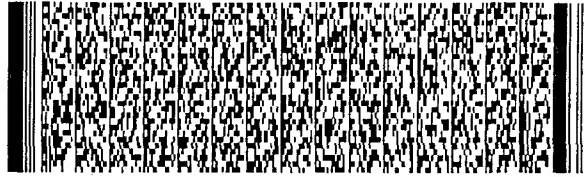
第 10/24 頁



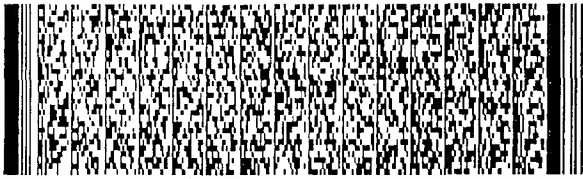
第 11/24 頁



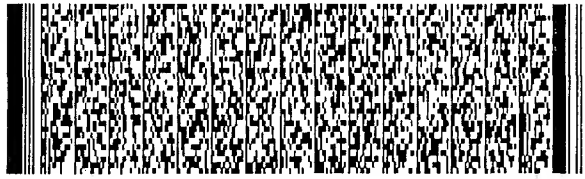
第 11/24 頁



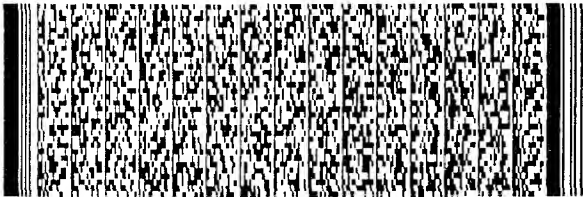
第 12/24 頁



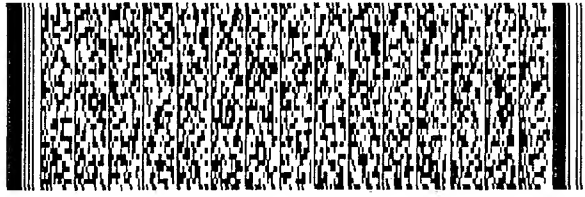
第 12/24 頁



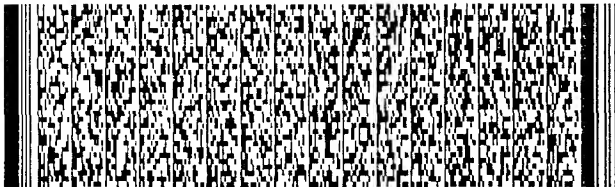
第 13/24 頁



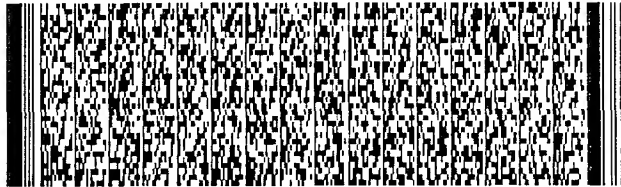
第 13/24 頁



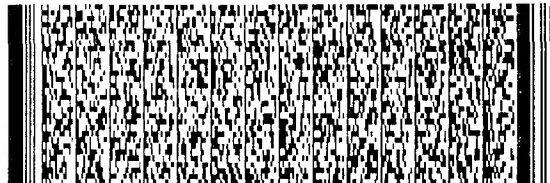
第 14/24 頁



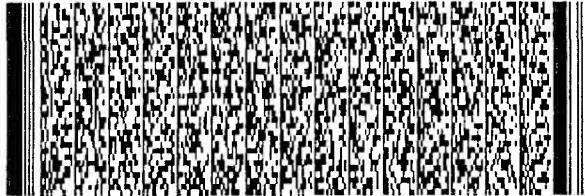
第 14/24 頁



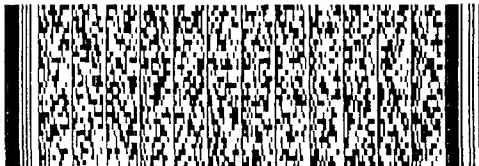
第 15/24 頁



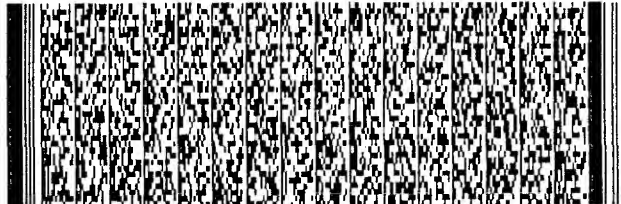
第 16/24 頁



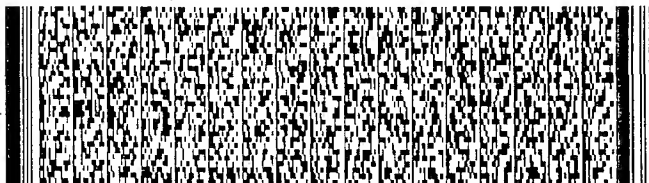
第 17/24 頁



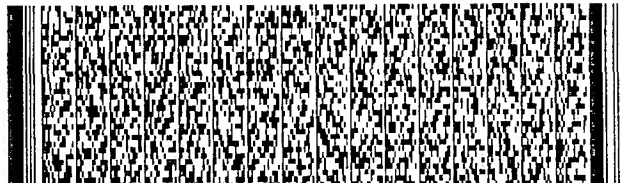
第 18/24 頁



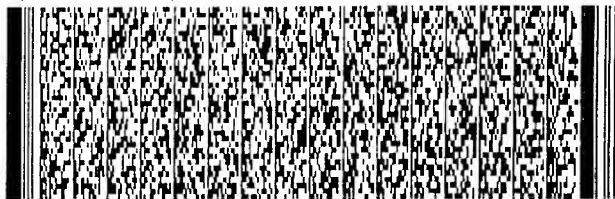
第 19/24 頁



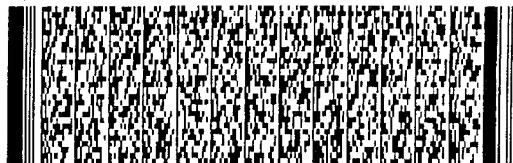
第 20/24 頁



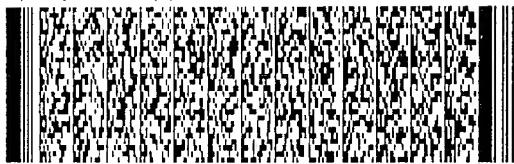
第 21/24 頁



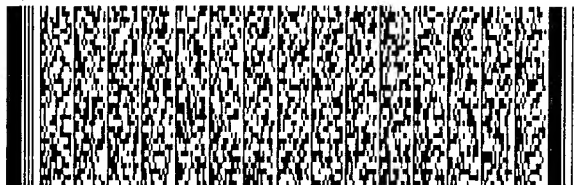
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

